

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216664

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H03F 3/217
H03F 3/30
H03K 7/08
// H03F 1/26

(21)Application number : 05-029363

(71)Applicant : HARMAN INTERNATL IND INC

(22)Date of filing : 18.02.1993

(72)Inventor : MCCORKLE DAVID P

(30)Priority

Priority number : 92 837166

Priority date : 18.02.1992

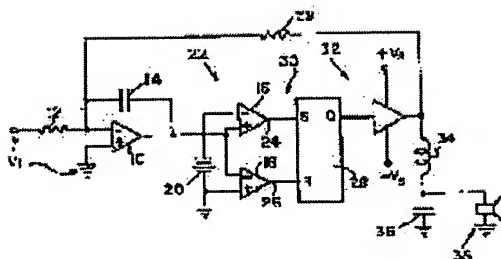
Priority country : US

(54) CLASS D AMPLIFIER

(57)Abstract:

PURPOSE: To provide a class D amplifier to drastically reduce interference in a radio frequency band and to hold operational frequency of a pulse width modulator constant as being independent of input voltage.

CONSTITUTION: A hysteresis voltage supplying source 42 is provided with a first differential amplifier 44, a second differential amplifier 46 and a multiplier 48. Input voltage V_i is connected to a (+) input terminal of the first differential amplifier 44 and a (-) input terminal of the second differential amplifier 46. Signals to appear on output terminals of the first and the second differential amplifiers 44, 46 are $K(VS+V_i)$, $K(VS-V_i)$ respectively (K_s are gains of the first and the second differential amplifiers 44, 46). The signals are connected to two input terminals of the multiplier 48 and a hysteresis voltage signal $K_2(VS-V_i)(VS+V_i)$ is supplied to a window comparator 22 by the signals. A supersaturation resonant to suppress overcurrent when current is switched is provided to a driving stage of an amplifier 32.



LEGAL STATUS

[Date of request for examination]

22.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3366677

[Date of registration] 01.11.2002
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216664

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/217		8522-5 J		
	3/30	8522-5 J		
H 0 3 K 7/08		E 7402-5 J		
// H 0 3 F 1/26		7350-5 J		

審査請求 未請求 請求項の数23 O L (全 13 頁)

(21)出願番号 特願平5-29363

(22)出願日 平成5年(1993)2月18日

(31)優先権主張番号 07/837, 166

(32)優先日 1992年2月18日

(33)優先権主張国 米国 (U S)

(71)出願人 592051453

ハーマン インターナショナル インダストリーズ, インコーポレイテッド
アメリカ合衆国・カリフォルニア州
91329・ノースリッジ・ビー. オー. ボックス 2200・バルボア ブルバード 8500

(72)発明者 デヴィッド ビー. マッコークル

アメリカ合衆国・インディアナ州

46032・カーメル・モス ドライブ 11213

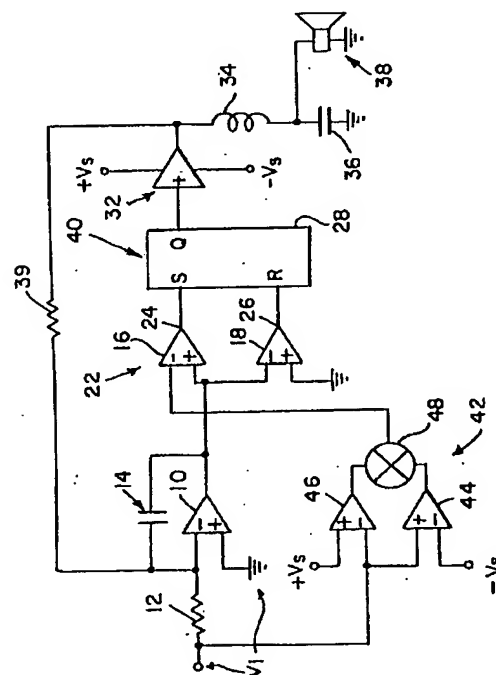
(74)代理人 弁理士 一色 健輔 (外2名)

(54)【発明の名称】 D級増幅器

(57)【要約】

【目的】 無線周波数帯域における干渉を大幅に減少し、パルス幅変調器の動作周波数を入力電圧とは独立として一定に保持するD級増幅器を提供する。

【構成】 ヒステリシス電圧供給源42は、第1の差動増幅器44と、第2の差動増幅器46と、乗算器48とを有している。入力電圧 V_i は、第1の差動増幅器44の(+)入力端子と第2の差動増幅器46の(-)入力端子とに接続されている。第1及び第2の差動増幅器44、46の出力端子に現れる信号は、それぞれ $K(V_i + V_i)$ 、 $K(V_i - V_i)$ となる。(Kは第1及び第2の差動増幅器44、46のゲイン)これらの信号は、乗算器48の2つの入力端子に接続され、 $K^2(V_i - V_i)(V_i + V_i)$ なるヒステリシス電圧信号をウィンドウ比較器22に供給する。増幅器32の駆動段には、電流切り換わり時の過大電流を抑制する可飽和リアクトルが設けられている。



【特許請求の範囲】

【請求項1】 第1の端子と第2の端子と少なくとも第3の端子を有する制御電流導通経路とを有する制御電流導通経路をそれぞれ有する第1及び第2の固体回路素子と、前記素子の一方の制御電流導通経路に対して逆並列に設けられる非制御電流導通経路とを備えたブッシュブル型音響用増幅器の出力段回路であって、前記非制御電流導通経路に直列に可飽和リアクトルを設け、前記増幅器の動作によって生じる前記素子の一方の制御電流導通経路から非制御電流導通経路への電流切り換え時に前記非制御電流導通経路に流れる電流を制限することを特徴とするブッシュブル型音響用増幅器の出力段回路。

【請求項2】 前記第1及び第2の固体回路素子のそれぞれの制御電流導通経路に対して逆並列に接続された非制御電流導通経路と、該非制御電流導通経路のそれぞれに直列に設けられた可飽和リアクトルとを備え、前記増幅器の動作によって生じる前記それぞれの素子の制御電流導通経路から両非制御電流導通経路への電流の切り換え時に前記それぞれの非制御電流導通経路に流れる電流を制限することを特徴とする請求項1に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項3】 前記第1及び第2の固体回路素子は、それぞれ第1及び第2の電界効果トランジスタ(FET)であり、前記第1及び第2の端子は該FETのドレイン及びソース端子であり、前記第3の端子は前記FETのゲート端子であって、前記第1のFETのソース端子は、前記第2のFETのドレイン端子と前記音響用増幅器の負荷とに接続されていることを特徴とする請求項2に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項4】 前記非制御電流導通経路は第1及び第2のダイオードを備え、該ダイオードのアノードは前記第1及び第2のFETのソース端子にそれぞれ接続され、該ダイオードのカソードは前記第1及び第2のFETのドレイン端子にそれぞれ接続されていることを特徴とする請求項3に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項5】 前記第1及び第2のダイオードは、前記第1及び第2のFETの製造過程において該第1及び第2のFETの本体に内蔵される第1及び第2の本体ダイオードであることを特徴とする請求項4に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項6】 前記ダイオードの各々と並列にRC回路を設けたことを特徴とする請求項5に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項7】 前記音響用増幅器は音響用D級増幅器である請求項6に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項8】 前記第1の固体回路素子は電界効果トランジスタ(FET)であり、該第1の固体回路素子の第1及び第2の端子はそれぞれ前記FETのドレイン及び

ソース端子であり、前記第1の固体回路素子の第3の端子は前記FETのゲート端子であって、前記FETのソース及びドレイン端子の一方は、前記音響用増幅器の負荷に接続される請求項1に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項9】 前記第1の固体回路素子の制御電流導通経路と逆並列に接続された非制御電流導通経路はダイオードを備え、該ダイオードのアノードは前記FETのソース端子に接続され、該ダイオードのカソードは前記FETのドレイン端子に接続されている請求項8に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項10】 前記ダイオードは、前記FETの製造過程で該FET本体に内蔵される本体ダイオードである請求項9に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項11】 前記ダイオードに並列にRC回路を設けたことを特徴とする請求項10に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項12】 前記音響用増幅器は音響用D級増幅器である請求項11に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項13】 前記第1の固体回路素子の制御電流導通経路に逆並列に設けられる非制御電流導通経路はダイオードを備え、該ダイオードのカソードが前記第1の固体回路素子の第1の端子に接続され、該ダイオードのアノードが前記第1の固体回路素子の第2の端子に接続される請求項11に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項14】 前記ダイオードは、前記第1の固体回路素子の製造過程において、該第1の固体回路素子に内蔵される請求項13に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項15】 前記ダイオードと並列にRC回路を設けた請求項14に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項16】 前記音響用増幅器はD級音響用増幅器である請求項15に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項17】 前記第1及び第2の固体回路素子の制御電流導通経路の一方に逆並列に設けられる非制御電流導通経路は、前記第1及び第2の固体回路素子の一方の製造過程において該第1及び第2の固体回路素子の一方の本体に内蔵される請求項11に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項18】 前記第1の固体回路素子の制御電流導通経路に逆並列に設けられる非制御電流導通経路に並列にRC回路が設けられる請求項17に記載のブッシュブル型音響用増幅器の出力段回路。

【請求項19】 前記音響用増幅器はD級音響用増幅器である請求項18に記載のブッシュブル型音響用増幅器

の出力段回路。

【請求項20】 前記可飽和リアクトルは、前記非制御電流導通経路に直列に接続された導体を受容する通路を有するヒーズを備えている請求項1乃至19のいずれかに記載のブッシュ型音響用増幅器の出力段回路。

【請求項21】 入力電圧を入力電圧の振幅に対応するパルス幅を有するパルス幅変調波形に変換するために、ウインドウ比較器と、供給電圧を供給する一対の端子を備えた電圧供給源と、ヒステリシス電圧を供給する一対の端子を備えたヒステリシス電圧供給源とを有するヒステリシス型パルス幅変調器であって、前記ヒステリシス電圧供給源が、乗算器と、供給電圧と入力電圧とを加算して和電圧を発生する手段と、供給電圧から入力電圧を減算して差電圧を発生する手段と、入力電圧を前記和電圧発生手段及び差電圧発生手段に接続する手段と、前記電圧供給源を前記和電圧発生手段及び差電圧発生手段に接続する手段と、前記和電圧発生手段及び差電圧発生手段を前記乗算器に接続する手段と、前記乗算器を前記ウインドウ比較器に接続する手段とを備えていることを特徴とするヒステリシス型パルス幅変調器。

【請求項22】 前記ヒステリシス型パルス幅変調器は、積分器と、前記ウインドウ比較器と、前記ヒステリシス電圧供給源と、フリップフロップと、入力電圧を前記積分器に接続する手段と、前記積分器を前記ウインドウ比較器に接続する手段と、前記ウインドウ比較器を前記フリップフロップに接続する手段と、前記ヒステリシス電圧供給源を前記ウインドウ比較器に接続する手段とを備えていることを特徴とする請求項21に記載のヒステリシス型パルス幅変調器。

【請求項23】 前記ウインドウ比較器は、それぞれ非反転入力端子と反転入力端子とを有する第1及び第2の比較器と、前記積分器の出力端子を前記第1の比較器の非反転入力端子と前記第2の比較器の反転入力端子とに接続する手段とを有する前記積分器を前記ウインドウ比較器に接続する手段と、前記ヒステリシス電圧供給源の一対の端子の内の第1の端子を前記第1の比較器の反転入力端子に接続するとともに、前記ヒステリシス電圧供給源の一対の端子の内の第2の端子を前記第2の比較器の非反転入力端子に接続する手段を有する前記ヒステリシス電圧供給源を前記ウインドウ比較器に接続する手段とを備えていることを特徴とする請求項22に記載のヒステリシス型パルス幅変調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、D級増幅器に関するものである。以下においては、音響用D級増幅器に関して説明するが、本発明は、他の用途に用いられるD級増幅器に対しても適用可能なものである。

【0002】

【従来の技術】音響用D級増幅器の構成において、ヒス

テリシス型パルス幅変調器は、低ひずみ、高電力供給の阻止性能、及び理想的な特性を持っていない構成部材によって発生されるスイッチング波形の乱れを自動補償する性能の面で独特の利点を有している。

【0003】

【発明が解決しようとする課題】しかしながら、D級増幅技術を用いた回路の動作周波数は、入力信号電圧に応じて急激に変化する。図1に示す従来の回路の動作周波数は、以下の式(1)で表される。

【0004】

【数1】

$$2\pi f_{pwm} = \frac{(V_s - V_p)(V_s + V_p)}{2CRV_sV_h} \quad \dots (1)$$

ここで、 $\pm V_s$ は供給電圧、 V_p は入力信号電圧、 V_h はヒステリシス電圧、 C は積分コンデンサの容量(単位: F)、 R はフィードバック抵抗及び入力抵抗の抵抗値(単位: Ω)である。なお、以下においては説明を容易とするために、入力抵抗とフィードバック抵抗は、等しいもの(ゲイン1)とする。しかしながら、以下に説明する原理は、いかなるゲインに対しても適用されるものである。

【0005】図1の回路の動作において、式(1)の右辺の項は、音響入力信号電圧である V_p を除いてすべて一定である。入力信号電圧が瞬間的に供給電圧($\pm V_s$)のいずれかに近づくと、式(1)の分子のいずれか一方の項はゼロに近づく。動作周波数は、これによって低下する。このように動作周波数が急激に低下すると、パルス幅変調器自体のスイッチング周波数が低下して、出力信号中における可聴帯域の変化として現れるようになる。

【0006】D級増幅器は、小型、軽量、低価格、高効率、低発熱等多くの利点を有している。しかしながら、この種の増幅器は、動作中に望ましくない無線周波数帯の放射を生じる可能性がある。この無線周波数帯の放射は、D級増幅器において不可避な電流及び電圧の高速スイッチングによって生じるものである。こうした無線周波数帯の放射は、無線通信の障害となるおそれがある。

【0007】本発明の目的は、上記の従来技術における欠点を解消し、無線周波数帯域における干渉を大幅に減少することができるD級増幅器を提供することにある。

【0008】さらに、本発明のもう一つの目的は、パルス幅変調器の動作周波数を入力電圧とは独立として、一定に保持することができるD級増幅器を提供することにある。

【0009】

【課題を解決するための手段とその作用】本発明の第1の構成によれば、各々第1の端子と第2の端子とを備えた制御電流導通経路と少なくとも第3の端子を有する制御電流導通経路とを有する第1及び第2の固体回路素子

(solid state device) と、前記固体回路素子の一方の制御電流導通経路に対して逆並列に設けられる非制御電流導通経路とを備え、増幅器の動作によって生じる前記固体回路素子の一方の制御電流導通経路から非制御電流導通経路への電流の切り換わり時に、非制御電流導通経路に流れる電流を制限するために、該非制御電流導通経路と直列に可飽和リアクトルを設けたことを特徴とする増幅器が提供される。

【0010】上記の本発明の第1の構成における好適実施例によれば、前記両素子の制御電流導通経路に対して逆並列に前記非制御電流導通経路を複数設けるとともに、複数の可飽和リアクトルをそれぞれ各非制御電流導通経路に直列に設けて、増幅器の動作によって生じる前記両素子の制御電流導通経路から両非制御電流導通経路への電流の切り換わり時に、両非制御電流導通経路に流れる電流を制限するように構成することができる。

【0011】上記の本発明の構成において、前記両素子は、例えば第1及び第2の電界効果トランジスタ(FET)であり、第1及び第2の端子は、そのFETのドレイン及びソース端子であり、第3の端子がFETのゲート端子であり、第1のFETのソース端子は第2のFETのドレイン端子と音響増幅器の負荷とに接続するように構成することができる。

【0012】さらに、非制御電流導通経路は、例えば、第1及び第2のFETのソース端子にアノードが接続され、第1及び第2のFETのドレイン端子にカソードが接続された第1及び第2のダイオードによって構成することができる。

【0013】また、この第1及び第2のダイオードは、前記第1及び第2のFETの製造過程において第1及び第2のFETの本体に内蔵される第1及び第2の本体ダイオードとすることも可能である。

【0014】なお、上記の構成において、前記各ダイオードに並列にRC回路を設けることも可能である。

【0015】さらに、前記音響増幅器は、D級増幅器とすることができる。

【0016】また更に、前記可飽和リアクトルは、前記非制御電流導通経路に直列に接続された導体を受容する通路を有するビーズで構成することができる。

【0017】本発明の第2の構成によれば、入力電圧を、パルス幅が入力電圧の大きさに対応したパルス幅変調波形に変換するために、ウインドウ型比較器と、供給電圧を供給する一対の端子を備えた電圧供給源と、ヒステリシス電圧を供給する一対の端子を備えたヒステリシス電圧供給源とを有するヒステリシス型パルス幅変調器であって、前記ヒステリシス電圧供給源が、乗算器と、供給電圧と入力電圧とを加算して和電圧を発生する手段と、供給電圧から入力電圧を減算して差電圧を発生する手段と、入力電圧を和電圧発生手段及び差電圧発生手段に印加する手段と、前記電圧供給源と和電圧発生手段及

び差電圧発生手段を接続する手段と、和電圧発生手段及び差電圧発生手段を前記乗算器に接続する手段と、乗算器を前記ウインドウ型比較器に接続する手段とによって構成することを特徴とするヒステリシス型パルス幅変調器が提供される。

【0018】本発明の第2の構成における好適実施例によれば、ヒステリシス型パルス幅変調器は、積分器と、ウインドウ型比較器と、ヒステリシス電圧供給源と、フリップフロップと、入力電圧を積分器に印加する手段と、積分器をウインドウ型比較器に接続する手段と、ウインドウ型比較器をフリップフロップに接続する手段と、ヒステリシス電圧供給源をウインドウ型比較器に接続する手段とによって構成することができる。

【0019】さらに、ウインドウ型比較器は、例えば、それぞれ非反転入力端子と反転入力端子とを有する第1及び第2の比較器で構成され、前記積分器をウインドウ型比較器に接続する手段が積分器の出力端子を第1の比較器の非反転入力端子と第2の比較器の反転入力端子とに接続する手段とで構成され、前記ヒステリシス電圧供給源とウインドウ型比較器とを接続する手段が、ヒステリシス電圧供給源の一対の端子の内の第1の端子を第1の比較器の反転入力端子に接続するとともに、ヒステリシス電圧供給源の一対の端子の内の第2の端子を第2の比較器の非反転入力端子に接続する手段である構成とすることが可能である。

【0020】

【実施例】以下に、本発明の実施例につき添付図面を参照しながら説明する。まず、従来技術におけるD級増幅器の構成について図1を参照して説明する。図1において、差動増幅器10は、例えばナショナル・セミコンダクタ社製LM833の中の1回路分の比較器を用いたもので、積分型増幅器構成であり、その反転入力端子(−)入力端子に、入力抵抗器12を介して入力電圧信号 V_i が入力される。差動増幅器10の非反転入力端子(+)入力端子は、接地されている。積分コンデンサ14は、差動増幅器10の出力端子と(−)入力端子との間に介挿される。差動増幅器10の出力端子は、差動増幅器16の(+)入力端子と差動増幅器18の(−)入力端子とにそれぞれ結合される。差動増幅器16の(−)入力端子は、一定の出力電圧 V_o を供給するヒステリシス電圧源20(電池として示す)の一方の端子に結合されている。ヒステリシス電圧源20の他方の端子は、差動増幅器18の(+)入力端子に接続されるとともに接地されている。差動増幅器16、18は、それぞれ例えばナショナル・セミコンダクタ社製LM319の中の1回路分の差動増幅器で構成される。差動増幅器16、18をこのように接続することによってウインドウ比較器22が構成される。このウインドウ比較器22の出力端子24、26は、差動増幅器10からの出力信号が V_o よりも高いか、または接地レベルよりも低

7
いかに応じて、SRフリップフロップ28のS入力端子及びR入力端子に正に立ち上がるパルスを供給する。フリップフロップ28のQ出力端子には、図1のパルス幅変調器30の変調幅パルスが出力される。フリップフロップ28は、例えばアール・シー・エイ(RCA)社製CD4011の4回路のNANDゲートの中の2回路分で構成される。音響用D級増幅器において、これらの信号は、基本増幅器、すなわち電力増幅器32に供給される。電力増幅器32の出力は、主抵抗負荷38に対して直列接続されたインダクタ34と並列接続されたコンデンサ36とからなるローパスフィルタを介して供給される。なお、主抵抗負荷38は、例えば可動コイル型スピーカのボイスコイルで構成される。電力増幅器32の出力端子は、フィードバック抵抗器39を介して差動増幅器10の(−)入力端子に接続される。この回路の問題点は上述の通りである。パルス幅変調器30の低下した動作周波数 f_{pwm} は、ローパスフィルタ34、36を通過して、トランスデューサであるボイスコイル38の音声出力に現れる可能性がある。

$$2\pi f_{pwm} = \frac{(V_s - V_p)(V_s + V_p)}{2CRV_s K^2(V_s - V_p)(V_s + V_p)} = \frac{1}{2CRV_s K^2} \quad \dots (3)$$

最終的な形の式(3)において、すべての項が定数となることが分かる。従って、 f_{pwm} は、 V_i に関わらず一定となる。

【0024】図2に示した改良されたD級増幅器において、図1に示した構成部材と同一または同様の機能を行う構成部材は、図1と同一の参照符号で示されている。ヒステリシス電圧(V_h)供給源42は、第1の差動増幅器44と、第2の差動増幅器46と、乗算器48とを有している。入力電圧 V_i は、第1の差動増幅器44の(+)入力端子と第2の差動増幅器46の(−)入力端子とに接続されている。第1の差動増幅器44の

(−)入力端子は、 $-V_i$ 端子に接続される。第2の差動増幅器46の(+)入力端子は、 $+V_i$ 端子に接続される。従って、第1及び第2の差動増幅器44、46の出力端子に現れる信号は、それぞれ $K(V_s + V_i)$ 、 $K(V_s - V_i)$ となる。なお、 K は第1及び第2の差動増幅器44、46のゲインを示す定数である。これらの信号は、乗算器48の二つの入力端子に接続され、上記の式(3)で必要とされる $K^2(V_s - V_i)(V_s + V_i)$ すなわちヒステリシス電圧信号 V_h をウインドウ比較器22に供給する。従って、図2に示す実施例において、パルス幅変調器40の動作周波数 f_{pwm} は一定となり、入力電圧 V_i によって変化しないものとなる。第1及び第2の差動増幅器44、46及び乗算器48は、例えば、ローム(ROHM)社製BA6110相互コンダクタンス演算増幅器によって、一体化して実現することができる。

【0025】図3に示すように、D級増幅器は、一般に

*【0021】図2の回路において、ヒステリシス電圧 V_h は、パルス幅変調器30の動作周波数 f_{pwm} が入力電圧 V_i の範囲にわたって一定に保持されるように、 V_i に対して補償するように変化される。図2に示すように、アナログ乗算器が、以下に示す関係に従って変化するヒステリシス電圧 V_h を供給するために用いられる。

【0022】

【数2】

$$V_h = K^2(V_s - V_i)(V_s + V_i) \quad \dots (2)$$

ここで、 K は定数である。乗算器に対する入力、 $K(V_s - V_i)$ 及び $K(V_s + V_i)$ であり、これらは容易に求めることができる。 V_h を上記の式(1)に代入すると、図2に示す回路の動作周波数 f_{pwm} は、以下の式で表される。

【0023】

【数3】

プッシュプル型出力段を採用している。図示の形式のプッシュプル構成における各FETは、実際には逆並列に結合されたFETスイッチとダイオードとの組合せで構成される。スイッチング動作中に、閉じられているスイッチは、しばしば、そのスイッチの反対側の順バイアスダイオードに逆電圧を印加しようとする。ダイオードに蓄積された電荷により、ダイオードは瞬間的に短絡されたと同様の機能をはたし、ダイオードに電荷がなくなるまで非常に大きな逆電流(「シュートスルー(shoot through)」電流)を発生する。電荷が消失すると、大電流が非常に急激に停止され、無線周波数帯域のエネルギーが送出される。このエネルギーは、こうした回路の動作に付随する望ましくない無線周波干渉(RFI)を生じる主要因となる。

【0026】この問題を解消するために、図3に示すD級増幅器は、例えば東芝アモビーズ(Toshiba Amobead、登録商標)等の超高透磁性可飽和リアクトルビーズを各スイッチング用MOSFETのドレイン側導線に備えている。これは、可飽和リアクトルを、各スイッチ及びダイオードの組に対して直列に配置するものである。動作中、スイッチング周期のほとんどの期間で、超高透磁性可飽和リアクトルは、ゼロ電流にさらされるか若しくは飽和状態となって、回路中において動作しない状態となる。しかしながら、いずれかのダイオードが順接続状態からゼロ電流状態を経て逆バイアス状態に変化する場合、これに直列に接続された超高透磁性可飽和リアクトルは非飽和状態となり、一時的にシュートスルー電流の経路に十分なインピーダンスを与え、ダイオードに蓄

積された電荷がより小さい電流で放出されるようにする。RFIは、これにより劇的に低減される。さらに、小さなRCスナバ回路を付加することにより、残りのリングング傾向を抑えることができる。

【0027】RFI生成エネルギーの発生を大幅に減少することによって、従来の音響用D級増幅器に用いられていたシールドされた金属収容体やフィードスルー(feedthrough)コンデンサを用いることなく優れたRFI性能を得ることができる。

【0028】再度図3について説明すれば、本発明による基本増幅器32には、適切に予備増幅あるいは処理された信号が、論理駆動源50より入力される。論理駆動源50は、図1及び図2のSRフリップフロップ28を有している。増幅器32の駆動段は、最終の駆動反転増幅器52及び一対のMOSFETスイッチ54、56を有している。スイッチ54、56としては、例えば、モトローラ社製MTP50N06E型MOSFETを使用することができる。スイッチ54、56は、ブッシュブル構成で、信号を反転させる反転増幅器52に接続されている。すなわち反転増幅器52は、スイッチ54のゲートに入力される信号を反転するとともに、その反転された駆動信号をスイッチ56のゲートに供給する。各スイッチ54、56には、それぞれ本体ダイオード58、60が設けられている。ダイオード58、60は、スイッチ54、56の形成時にこれらのスイッチ54、56を形成する材料によって形成されるので、素子54、58は同一のパッケージ内に形成され、素子56、60も同一のパッケージ内に形成される。この結果、素子54、58間または素子56、60間には外部導線は不要である。MOSFETスイッチ54のドレイン側導線とダイオード58のカソードとは、適当な導体62を介して+V、供給端子に接続されている。MOSFETスイッチ54のソース側導線とダイオード58のアノードとは、直列インダクタ34を介してコンデンサ36と負荷38の並列回路に接続される。MOSFETスイッチ54のソース側導線とダイオード58のアノードとは、適当な導体64によりMOSFETスイッチ56のドレイン側導線及びダイオード60のカソードにも接続されている。MOSFETスイッチ56のソース側導線とダイオード60のアノードとは、-V、供給端子に接続されている。高透磁性ビーズ66は、各導体62、64上に配設される。MOSFETスイッチ54、56のスイッチング動作中に、ダイオード58、60の両端にかかる電圧の極性が反転し、この反転の結果としてキャリアがダイオード58、60から放出され始めると、制御されないままに導体62、64に突入しようとするダイオード58、60中の電流は、可飽和リアクトル66によって緩衝される。リアクトル66は比較的低電流で飽和するので、導体62、64中の電流が影響を受けるのは、導体62、64の電流の流れの方向が反転する期間のみ

となる。残りの期間、すなわち大きな電流が流れているか、または導体62、64に電流が流れていない期間においては、可飽和リアクトル66は、図3の回路について設けられていないのと同じである。

【0029】次に、より詳細な図4について説明する。図示された集積回路及び素子中に示されたピン番号は、既に特定されまたはここで特定される特定の集積回路及び素子についてのものを示している。しかしながら、これは、特定された集積回路及び素子による機能を実現するために、図示の集積回路及び素子以外に採用できる集積回路及び素子がないことを示すものではなく、またそれを示唆するものでもない。

【0030】入力信号 V_i におけるコモンモードノイズ除去は、例えばナショナル・セミコンダクタ社製LM833の中の1回路分の入力差動増幅器80によって行われる。 V_i は、差動増幅器80の(+)及び(-)入力端子に接続される。同じ10k Ω の入力抵抗器12'は、 V_i 端子と差動増幅器80の(+)及び(-)入力端子との間にそれぞれ直列に設けられる。22、1k Ω の抵抗器及び47pFのコンデンサの並列回路を含むフィードバック回路は、差動増幅器80の出力端子とその(-)入力端子との間に介挿されている。同一のRC並列回路は、差動増幅器80の(+)入力端子と共通信号線との間に接続されている。

【0031】差動増幅器80の出力端子及び共通信号線は、同じ3、65k Ω の抵抗器を介してそれぞれ積分差動増幅器10の(-)及び(+)入力端子に接続されている。前述のように、積分差動増幅器10もまた、例えばLM833の中の1回路分、例えば図示の回路にあっては、同一のLM833素子の中の差動増幅器80として使用されるものの残りの1回路分で構成される。従って、+V_iは、差動増幅器80の8番ピンに接続されているものとして示され、図示の実施例においてはシャシー電圧である-V_iは、差動増幅器10の4番ピンに接続されるものとして示されている。これらの差動増幅器に対する残りの電源接続は、これらが実現される集積回路チップに対して行われる。0、0033 μ Fの積分コンデンサ14は、差動増幅器10の出力端子とその(-)入力端子間に介挿される。差動増幅器10の(+)入力端子は、0、0015 μ Fのコンデンサを介して差動増幅器16の(-)入力端子に接続され、0、0015 μ Fのコンデンサを介して共通信号線に接続される。前述の通り、差動増幅器16、18は、ウィンドウ比較器22として構成され、ナショナル・セミコンダクタ社製LM319集積回路を用いて実現される。この集積回路の電源供給端子である11番ピンは+V、供給端子に、3、6、8番ピンは-V、供給端子(シャシー)にそれぞれ接続されている。

【0032】各差動増幅器16、18の出力端子24、26は、SRフリップフロップ28のS及びR入力端子

にそれぞれ接続されている。フリップフロップ28は、RCA社製CD4011B型2入力NANDゲート集積回路の中の2回路分の2入力NANDゲート84、86で構成される。3kΩのプルアップ抵抗器は、フリップフロップ28のS及びR入力端子、6及び1番ピンを、スイッチと連動した+V、に接続している。フリップフロップ28の14番ピンもまた、スイッチと連動した+V、に接続されている。フリップフロップ28の7番ピンは、-V、(シャシー)に接続される。NANDゲート84の出力端子は、NANDゲート86の残りの入力端子に接続され、NANDゲート86の出力端子は、NANDゲート84の残りの入力端子に接続される。CD4011Bの残りの2回路分のNANDゲートのそれぞれの入力端子は-V、に接続され、その出力端子はオープンとなっている。

【0033】出力FETは、2回路の相互に同一の出力駆動回路88、90により駆動される。なお、以下の説明においては、一方の出力駆動回路のみに関して詳述する。フリップフロップ28のQ出力である4番ピンは、FET92のゲート電極に接続される。このFET92は、例えば2N7000型FETで構成される。FET92のソースは-V、に接続され、ドレインは1kΩの抵抗器を介して、以下に説明する要領で発生される+3V、に接続される。FET92のドレインはまた、82Ωの抵抗器を介して、相補形NPN及びPNPトランジスタ94、96の結合されたベースに接続される。これらのNPN及びPNPトランジスタ94、96は、例えば2N4401及び2N4403型トランジスタでそれぞれ構成される。トランジスタ94のコレクタは+3V、に接続される。トランジスタ96のコレクタは、-V、に接続される。これらのトランジスタ94、96のエミッタは、相互に接続されて駆動回路88の出力端子98を構成する。駆動回路90の対応する出力端子は、参照符号100で示されている。

【0034】図3の実施例における各出力トランジスタ54、56及びこれに接続されるフライバックダイオード58、60は、図4の実施例においてはそれぞれ対のFET54-1と54-2、及びFET56-1と56-2で構成される。前述のように、フライバックダイオードは、FETの製造過程でFET内に内蔵される。FET54-1、54-2は、第1の状態(FET54-1のソースの正電位がFET54-2のドレインの電位よりも高くなる時に)、+V、と-V、端子間の0.01μFのコンデンサ102を充電するための経路として機能する。FET56-1及び56-2は、第1の状態(FET56-2のソースの正電位がFET56-1のドレインの電位よりも高くなる時に)、+V、と-V、端子間のコンデンサ102を充電するための経路として機能する。FET54-1及び56-2のドレイン

は+V、に接続される。FET54-2及び56-1のソースは、-V、に接続される。FET54-1のソース及び56-1のドレインは、それぞれコンデンサ102及び1Ωのリング抑制用直列抵抗器104を介してFET54-2のドレイン及び56-2のソースに接続されている。FET54-1及び54-2のゲートは、端子100に接続されている。FET56-1及び56-2のゲートは、端子98に接続されている。このようにFET54-1、54-2、56-1及び56-2は、フリップフロップ28のQ端子(4番ピン)及び反転Q端子(3番ピン)におけるスイッチング電圧に基づいて、+V、及び-V、端子間でコンデンサ102の電圧を昇降駆動する。FET54-1のソース及びFET54-2のドレインから10kΩのフィードバック抵抗器39'、39'を介して差動増幅器10の(+)及び(-)入力端子へのフィードバック回路がそれぞれ形成される。

【0035】スピーカ(ボイスコイル)38及びこれに関連する回路106は、コンデンサ102と抵抗器104とからなるRC直列回路に対して並列に接続される。関連する回路106は、FET54-2及び56-2の各々のドレインと直列の1回巻きの可飽和リアクトル66を含んでいる。リアクトル66は、相互に逆向きに設けられ、回路106中において電流の流れに変化が生じた場合に、リアクトル66中の磁界が相互に打ち消し合うように構成される。9回巻きのインダクタ34-1、34-2は各リアクトル66とスピーカ38の各端子との間に直列に接続される。一対の0.39μFのコンデンサ36-1、36-2は、スピーカ38の両端子間に直列に接続される。2.2μFのコンデンサ36-3は、直列のコンデンサ36-1、36-2と並列に接続される。コンデンサ36-1と36-2との接続点は、-V、端子に接続される。

【0036】動作中には、インダクタ34-1、34-2の磁界に蓄積されるエネルギーの回生によって抵抗器104とコンデンサ102とのRC直列回路にスイッチングパルスが生じる。これらのパルスは、18μF、DC35Vのコンデンサ114、116を介してダイオードブリッジ全波整流器117に接続される。この整流器117は、20Ωの抵抗器を介してスイッチと連動した+V、端子に接続されている。整流器117は、これらのパルスを整流して+3V、の電源を供給する。+3Vsの電源は、120μF、DC35Vのコンデンサ118により濾波され、蓄積される。このコンデンサ118から、+3V、が駆動回路88、90に供給される。

【0037】次に、K²(V、+V、)(V、-V、)発生器42に関して説明する。K²(V、+V、)(V、-V、)発生器42は、相互コンダクタンス演算増幅器120を含んでおり、この相互コンダクタンス演算増幅器は、例えばローム社製BA6110集積回路122

で構成される。集積回路122の1₁₁端子である4番ピンは、10kΩの直列抵抗器を介して差動増幅器80の出力端子に接続されて、V₁信号を受ける。さらに、V₁は、10kΩの直列抵抗器を介して差動増幅器80の出力端子から集積回路122の(+)入力端子(1番ピン)に接続される。+V₁は、10kΩの直列抵抗器を介して集積回路122の1₁端子(3番ピン)に接続されるとともに、2個直列の順バイアスダイオード(例えば1SS133型ダイオード)と10kΩの直列抵抗器とを介して集積回路122の(-)入力端子(2番ピン)に接続される。+V₁はまた、集積回路122の7及び9番ピンに接続される。一方、-V₁は、集積回路122の5番ピンに接続される。相互コンダクタンス演算増幅器120の出力端子である6番ピンは、15kΩの抵抗器を介して回路の共通信号線に、20pFのコンデンサを介して-V₁(シャシー)に、300kΩの抵抗器を介して+V₁に、そしてゲイン1のバッファ増幅器として構成される差動増幅器124の(+)入力端子に接続されている。すなわち、増幅器124の出力端子は、それ自身の(-)入力端子に接続されている。差動増幅器124からの出力信号は、差動増幅器16の

(-)入力端子に入力される。差動増幅器124は、例えば、モトローラ社製のMC34074型4回路入り集積回路演算増幅器の1回路分で構成することができる。

【0038】図4の回路の適当な位置にミュートトランジスタを配置することができる。これらは、コレクタ及びエミッタがコンデンサ14の両端に接続され、ベースが10kΩの抵抗器を介して適当なミュート信号源に接続されたトランジスタ126を含んでいる。トランジスタ126のベースにミュート信号が与えられると、コンデンサ14の両端の電圧が短絡される。ミュートトランジスタ128のコレクタは、相互コンダクタンス演算増幅器120の1₁₁端子に接続される。トランジスタ128のベースは、100kΩの抵抗器を介してミュート信号源に接続され、さらに0.047μFのコンデンサを介して-V₁に接続される。トランジスタ128のエミッタも-V₁に接続されている。トランジスタ128のベースにミュート信号が与えられると、相互コンダクタンス演算増幅器120の1₁₁信号(4番ピン)が-V₁に短絡される。トランジスタ126及び128は、例えば2N3904型トランジスタで構成される。

【0039】もう一つのミュートトランジスタ130のコレクタは、例えば1SS133型ダイオード等の適当なダイオードを介して、各駆動回路88及び90のFET92のドレイン端子に接続される。トランジスタ130のエミッタは、-V₁に接続される。トランジスタ130のベースは、10kΩの抵抗器を介してミュート信号源に接続される。ミュート信号が与えられると、各駆動回路88、90のトランジスタ94、96の駆動信号が-V₁に短絡される。トランジスタ130は、例えば

2N4401型トランジスタで構成される。

【0040】図4の増幅器に好適な電源部の構成が図5に示されている。多重LCフィルタ132は、DC12Vの車両用電池等の2V₁供給源に接続される。供給源の負極端子は-V₁で示されている。フィルタ132は、供給源両極間に介挿された0.047μFのコンデンサ134と、コンデンサ134の両端に接続された直列の100μHのインダクタ136と1500μF、DC16Vのコンデンサ138、及びコンデンサ134の両端に接続された直列の10μHのインダクタ140と3000μF、DC16Vのコンデンサ142とを有している。インダクタ140とコンデンサ142との共通端子に現れる電圧は、+V₁として示されている。インダクタ140とコンデンサ142との共通端子と-V₁との間に設けられる1kΩの抵抗器144及びツェナーダイオード146(例えば1N5246B型ツェナーダイオード)の直列回路によって過電圧が防止される。抵抗器144とツェナーダイオード146との接続点は、1kΩの抵抗器を介してPNPトランジスタ148のベースに接続される。トランジスタ148は、例えば2N3906型トランジスタで構成される。トランジスタ148のエミッタは+V₁に接続され、コレクタはPNPトランジスタ150のベースに接続される。このPNPトランジスタ150は、例えばモトローラ社製MPS-A56型トランジスタで構成される。トランジスタ150のエミッタは+V₁に接続される。トランジスタ150のベースも、2kΩの抵抗器を介して+V₁に接続されるとともに、2kΩの抵抗器を介してNPNトランジスタ152のコレクタに接続される。トランジスタ152のエミッタは-V₁に接続される。トランジスタ152のベースは、10kΩの抵抗器を介してON/OFF信号供給源に接続される。トランジスタ152は、例えばモトローラ社製MPS-A06型トランジスタで構成される。

【0041】トランジスタ150のコレクタは、スイッチと連動した+V₁供給源を形成する。トランジスタ150のコレクタは、直列に接続された33.2kΩの抵抗器156及び68.1kΩの抵抗器158を介して-V₁(増幅器のシャシー)に接続される。抵抗器156、158の共通端子は、差動増幅器160の(-)入力端子に接続される。差動増幅器160の出力端子は、680pFのコンデンサを介してそれ自身の(-)入力端子に接続されて出力のフィードバック回路を構成する。直列に接続された1kΩの抵抗器162及び5.1kΩの抵抗器164は、トランジスタ150のコレクタを演算増幅器160の出力端子に接続する。トランジスタ166(例えば2N4403型トランジスタ)のエミッタは、トランジスタ150のコレクタに接続される。トランジスタ166のベースは、抵抗器162、164の共通端子に接続される。トランジスタ166のコレク

タは、120kΩの抵抗器165及び2.7kΩの抵抗器167を含む直列分圧回路を介して-V₁に接続される。抵抗器165、167の接続点は、トランジスタ152のベースに接続される。トランジスタ166のコレクタは、4個直列の順バイアスダイオード（例えば1SS133型ダイオード）168及び5.1kΩの抵抗器170を介して-V₁に接続されている。ダイオード168と抵抗器170の共通端子は、増幅器160の(+)入力端子に接続される。トランジスタ166のコレクタは、図5の安定化された+V₁、供給端子を形成する。同一のRC並列回路171は、それぞれ10kΩの抵抗器172と0.047μFのコンデンサ174とを有しており、安定化された+V₁、端子と-V₁、端子との間に直列に接続されている。これら2つのRC回路171の共通端子は差動増幅器176の(+)入力端子に接続される。RC回路171は、+V₁、と-V₁、との間の電圧を1/2ずつに分割する。この電圧は、ゲイン1の増幅器として構成されている増幅器176によって緩衝され、図4、図5の回路の共通信号として増幅器176の出力端子より供給される。

【0042】図4のトランジスタ126、128及び130に対するミュート信号は、4.7MΩの抵抗器180と0.33μFのコンデンサ182とからなる直列RC時定数回路を介して安定化された+V₁、電源より生成される。この直列回路は、安定化された+V₁、端子と-V₁、端子との間に接続され、抵抗器180とコンデンサ182との共通端子は、差動増幅器184の(+)入力端子に接続される。共通信号線は、増幅器184の(-)入力端子に接続される。増幅器184の出力端子は、10kΩの抵抗器186及び1kΩの抵抗器188からなる直列分圧抵抗回路を介して-V₁に接続される。抵抗器186、188の共通端子は、例えば2N3904型トランジスタで構成されるNPNトランジスタ190のベースに接続される。トランジスタ190のエミッタは、-V₁に接続される。ミュート信号は、トランジスタ190のコレクタに発生される。このトランジスタ190のコレクタは、5.1kΩの抵抗器を介して+3V₁、供給源（図4参照）に接続されている。増幅器

160、176、及び184は、例えばバッファ増幅器124（図4参照）を実現するモトローラ社製MC34074型4回路入り演算増幅器集積回路の中の3回路で構成することができる。

【0043】

【発明の効果】上記のように本発明によれば、無線周波数帯域における干渉を大幅に減少することができるD級増幅器を提供することができる。また、本発明によれば、パルス幅変調器の動作周波数を入力電圧とは独立として、一定に保持することができるD級増幅器を提供することができる。

【図面の簡単な説明】

【図1】従来技術によるヒステリシスパルス幅変調器を搭載したD級増幅器の概略を示す回路図である。

【図2】本発明によるヒステリシスパルス幅変調器を搭載したD級増幅器の概略を示す回路図である。

【図3】本発明によるD級増幅器の駆動回路及び出力段回路を示す概略回路図である。

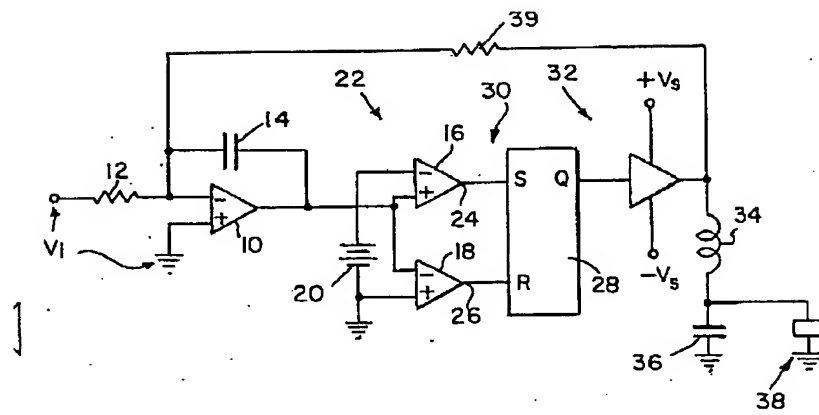
【図4】本発明の一実施例の一部をより詳細に示す回路図である。

【図5】本発明の一実施例の一部をより詳細に示す回路図である。

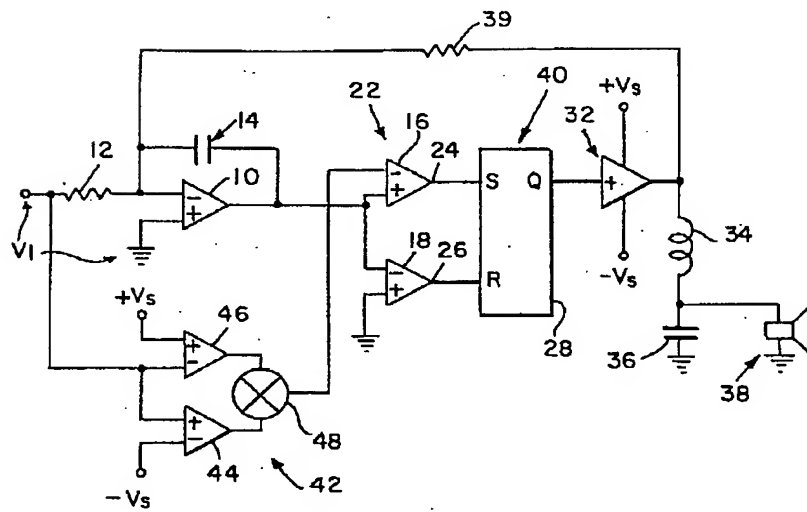
【符号の説明】

- 16 差動増幅器（第1の比較器）
- 18 差動増幅器（第2の比較器）
- 22 ウィンドウ比較器
- 38 抵抗負荷（ボイスコイル）
- 40 パルス幅変調器
- 42 ヒステリシス電圧供給源
- 44 差動増幅器（和電圧発生手段）
- 46 差動増幅器（差電圧発生手段）
- 48 乗算器
- 54、56 電界効果トランジスタ（第1及び第2の固体回路素子）
- 58、60 ダイオード
- 62、64 導体
- 66 高透磁性ビーズ

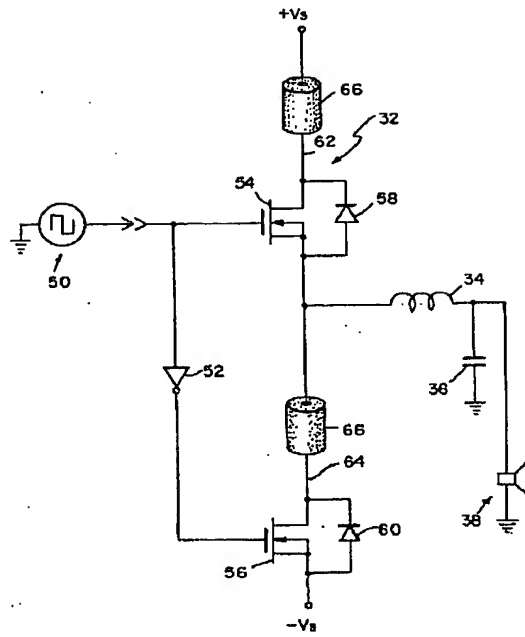
【図1】



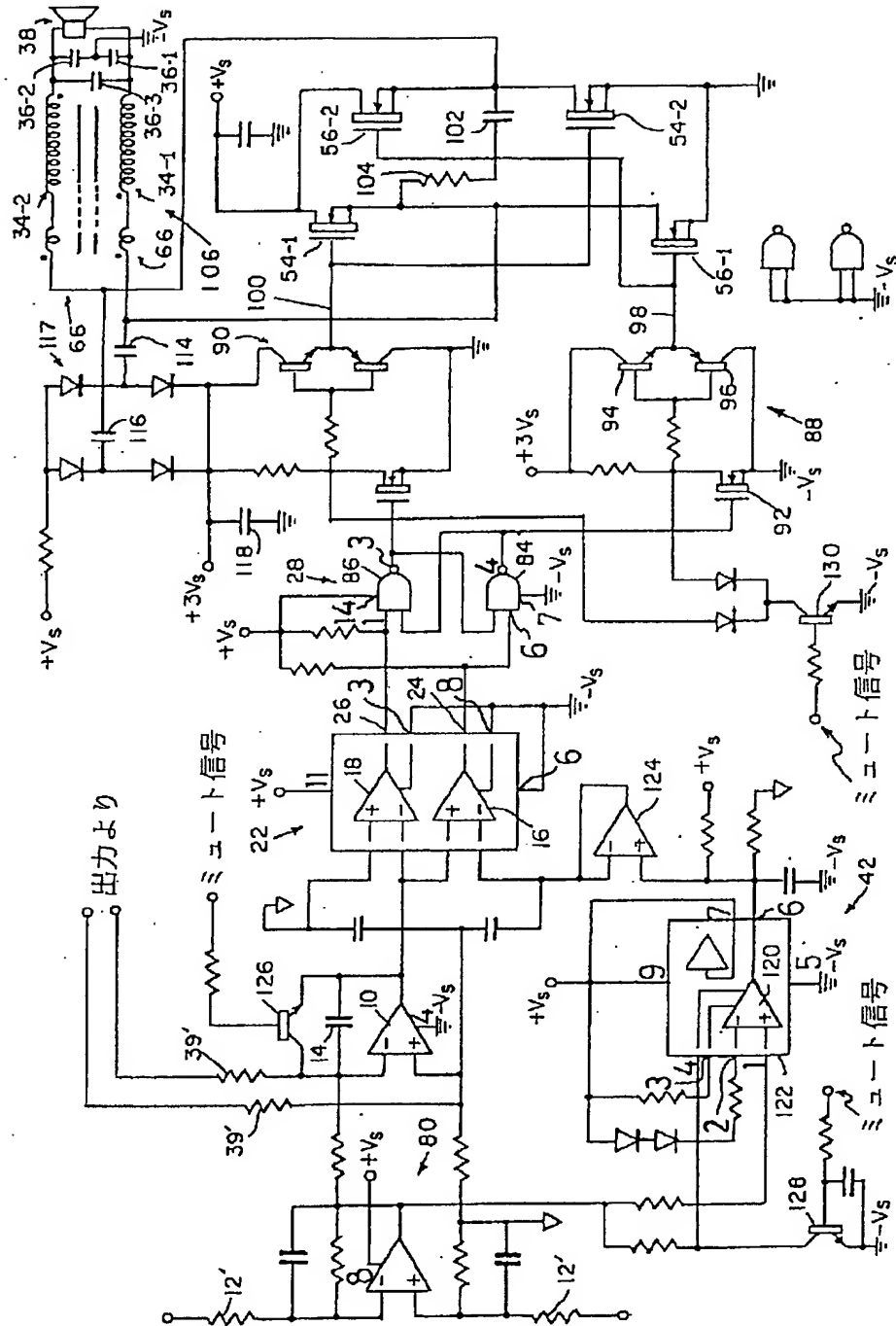
【図2】



【図3】



【図4】



【図5】

